Министерство образования и науки Российской Федерации Федеральное агентство по образованию Федеральное государственное бюджетное образовательное учреждение высшего образования «Вятский государственный университет»

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Отчет по дисциплине

«Проектирование цифровых устройств»

Цикл лабораторных работ

Выполнил студент группы ИВТ-31\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Птахова А.М/

Проверил \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Клюкин В.Л./

Киров 2022

1. Цель

Изучение основ проектирования цифровых арифметико-логических устройств ЭВМ, разработка и тестирование АЛУ для выполнения операции деления, определения результата инкремента и логического и.

2. Задание на лабораторную работу

а) разработка функциональной схемы операционного автомата деления;

б) разработка функциональной схемы операционного для определения результата инкремента;

в) разработка функциональной схемы операционного для определения результата логического и;

3. Разработка функциональной схемы и алгоритма работы

3.1. Операция деления

Словесное описание алгоритма деления

1. Принять операнды.

2. Проверить делитель на равенство нулю. Если равен нулю, операцию деления необходимо прекратить, установить признак ДНН и перейти к п 15. Иначе перейти к п 3.

3. Проверить делимое на равенство нулю. Если равно нулю, сформировать результат 0, перейти к п 14. Иначе перейти к п 4.

4. Определить характеристику частного вычитанием характеристики делителя из характеристики делимого. При этом могут возникнуть следующие исключительные ситуации:

4.1 Переполнение разрядной сетки (ПРС). Признаком ПРС является единица переноса из старшего разряда и единица в старшем разряде результирующей характеристики. Если возникло ПРС, необходимо зафиксировать её, перейти к п 15.

4.2 Переполнение разрядной сетки (ПРС). Признаком ПРС является единица в старшем разряде результирующей характеристики. Если возникло ПРС, необходимо зафиксировать её и перейти к п 15.

4.3 Временная ПМР. Признаком временной ПМР является отсутствие единицы переноса из старшего разряда и ноль в старшем разряде. При этом остальная часть характеристики должна быть заполнена единицами. При возникновении временной ПМР зафиксировать её, перейти к пункту 5.

4.4 Потеря младших разрядов (ПМР). Признаком ПМР является отсутствие единицы переноса из старшего разряда и ноль в старшем разряде. Если возникло ПМР, необходимо сформировать результат 0, перейти к п 14.

4.5 Если ни одна из ситуаций выше не возникла, перейти к пункту 5.

5. Определить знак частного сложением по модулю 2 знаковых разрядов делимого и делителя.

6. Прибавить к делимому делитель.

7. Если знаки нового остатка и делителя совпадают, в очередной разряд частного занести 1, иначе – 0.

8. Выполнить сдвиги частного и делителя в сторону старших разрядов, заполняя «0». Увеличить счётчик тактов(СT) на 1.

9. Если знаки делимого (остатка) и делителя совпадают, необходимо вычесть из мантиссы делимого мантиссу делителя в дополнительном коде, иначе – прибавить делитель.

10.Проверить 2 последних разряда частного: если 01 или 10, перейти к п 10, иначе перейти к п 7.

11. Проверить счётчик тактов:

11.1 Если счетчик тактов, СТ=23, перейти к п 12.

11.2 Если счетчик тактов, СТ=24, перейти к 13.

12. Увеличить характеристику частного на 1. Проверить характеристику на ПРС. Если возникло ПРС зафиксировать её и прекратить операцию деления, перейти к п 16, иначе к п 14.

13. Если ранее была зафиксирована временная ПМР, то ПМР неустранима, сформировать результат 0. Перейти к п 15.

14. Сформировать результат, приписав знак из п 5.

15. Выдать результат.

16. Завершить операцию деления.

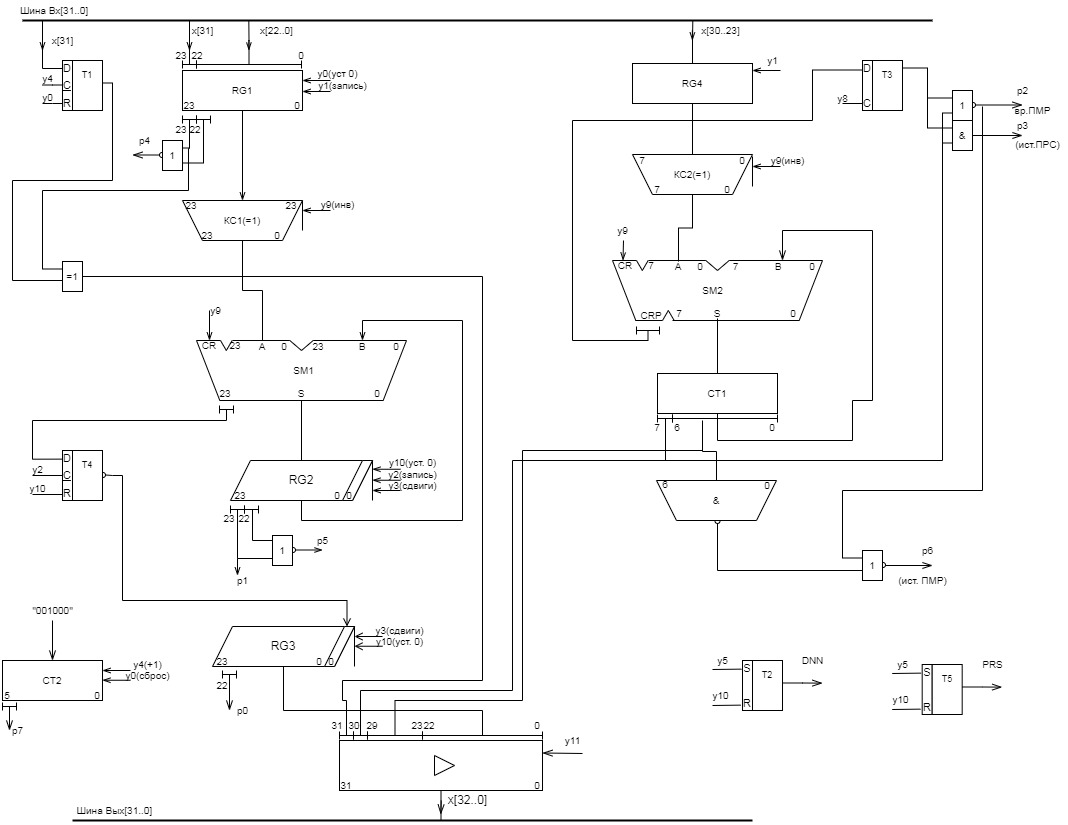


Рисунок 1 – Функциональная схема алгоритма деления

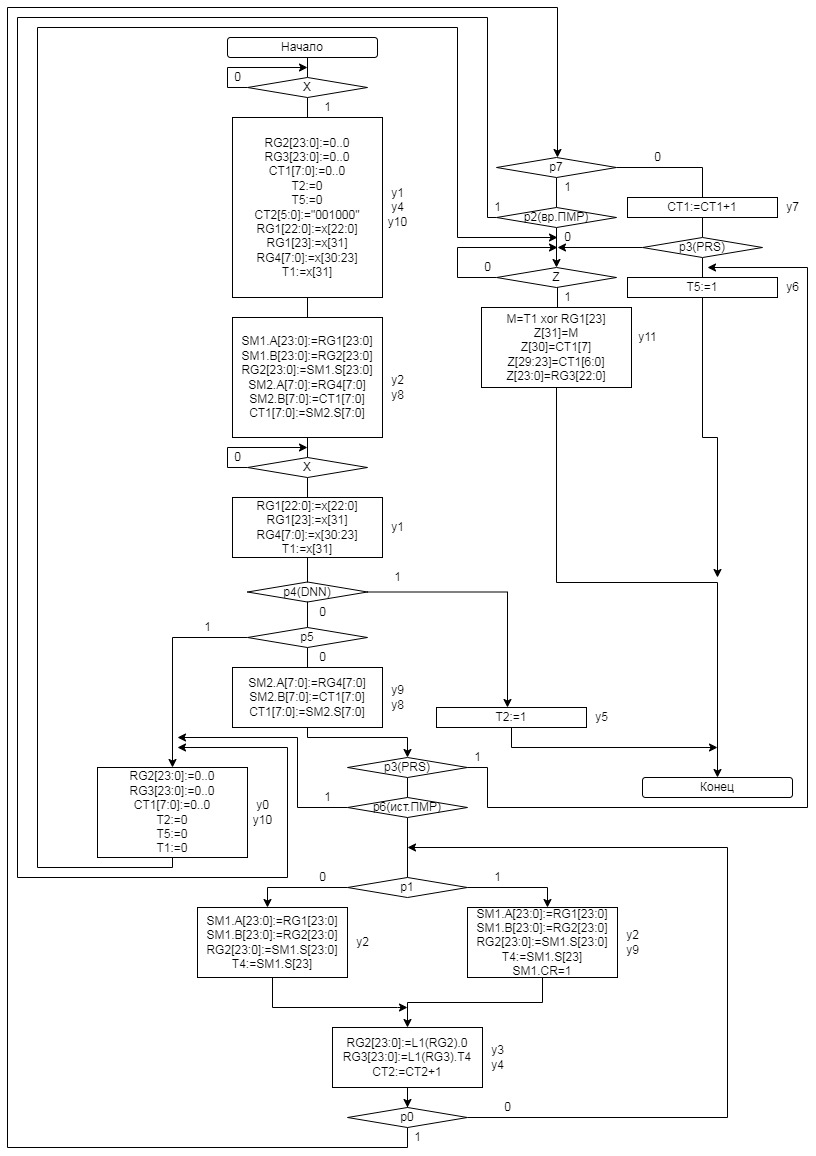


Рисунок 2 – Содержательная ГСА деления

y0 – сброс RG1, CT2, T1;

y1 – запись в RG1 и в RG4;

y2 – запись результата сложения (вычитания) в RG2 и состояния делимого в T4;

у3 – сдвиг RG2 и RG3 влево RG2:=L1(RG2);

у4 – запись знака делимого в T1 и инкремент CT2;

y5 – установка в единицу триггера T2 (ДНН);

y6 – установка в единицу триггера T5 (ПРС);

y7 – увеличение счетчика СТ1 на единицу;

y8 – запись в счетчик СТ1, запись единицы переноса в T3

y9 – управление схемой сложения по модулю 2;

y10 – сброс Т2, Т4, Т5 , CT1 и установление RG2 и RG3 в «0»;

y11 – выдача результата.

X – проверка наличия операнда на входной шине;

р0 – окончание цикла деления;

p1 – знак мантиссы делимого;

p2 – признак вр. ПМР в характеристиках;

p3 – признак ист. ПРС в характеристиках;

p4 – делитель равен нулю;

p5 – делимое равно нулю;

p6 – истинная ПМР;

p7 – отслеживание 24-го такта деления;

Z – проверка возможности выдачи результата на выходную шину.

3.2. Логическое И

Словесное описание алгоритма

1. Принять операнды

2. Выполнить операцию «И» над мантиссами

2.1. Если мантисса равно 0, то обнулить характеристику, выдать 0 и перейти к п.5

2.2. Иначе перейти к п.3

3. Проверить нормализацию мантиссу

3.1. Если мантиса не нормализована, то к характеристике прибавить 1, сдвинуть мантиссу вправо и перейти к п.4

3.2. Иначе перейти к п.4

4. Выдать результат, знак и характеристику взять от первого числа

5. Закончить операцию

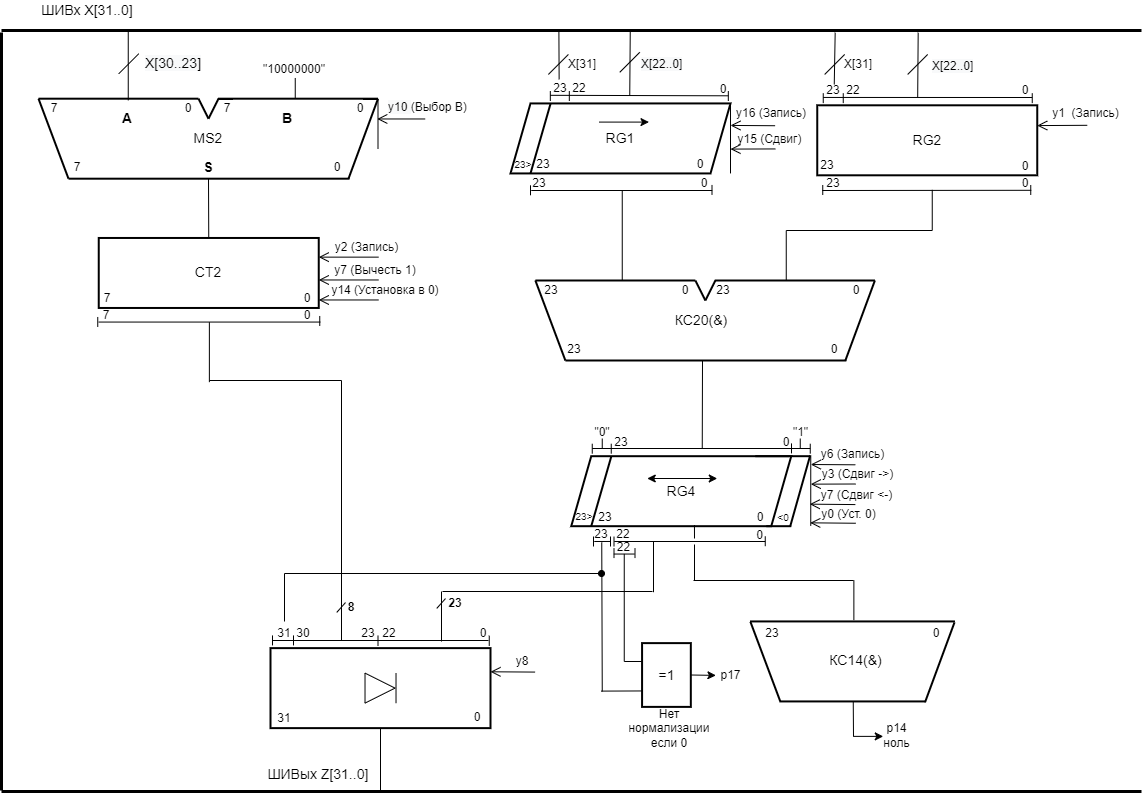


Рисунок 3 – Функциональная схема алгоритма логического И

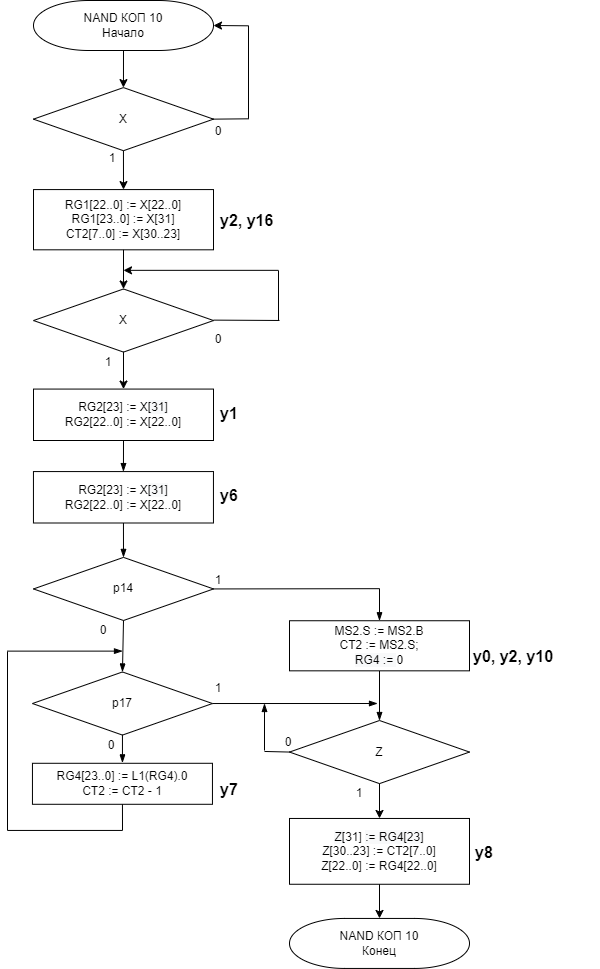


Рисунок 4 – Содержательная ГСА логического И

y0 – выбор плеча В MS2;

y1 – запись в RG2;

y2 – запись в CT2;

y6 –запись в RG4;

y7 – сдвиг влево на один разряд RG4, CT2=CT2+1;

y8 – запись результата в RG4;

y10 –установление RG4 в «0»;

X – проверка наличия операнда на входной шине;

Р14 – ноль в результирующей мантиссе;

p17 – мантисса не нормализована;

Z – проверка возможности выдачи результата на выходную шину.

3.3. Операция инкремент

Словесное описание алгоритма

1. Принять операнд

2. Проверить на равенство 0

2.1. Если равен 0, то выдать 1, перейти к п.6

2.2. Если не равен – перейти к п.3

3. Из характеристики 1 (10001) характеристику опернда в дк

3.1. Если разность равно 0, то перейти к п.4

3.2. Если результат отрицательный (очень большой операнд)

3.2.1. Если модуль разности больше разрядности мантиссы (10), то установить ПРС и перейти к п.6

3.2.2. Если модуль разности менбше разрядности мантиссы, то увеличиваем хаарактеритсику 1 на 1 и сдвигом мантисы вправо на разность хаарктеристик, перейти к п.4

3.3. Если результат поожительный

3.3.1. Если модуль разности больше разрядности мантиссы, то выдать 1 перейти к п.6

3.3.2. Если модуль разности меньше разрядности, то сдвигаем операнд вправо и увеличиваем его хаарктеритсику на 1 на разность, перейти к п.4

4. Сложить мантиссу единицы с мантиссой операнда

4.1. Если обнаруженно временное ПРС, то увеличиваем хаарктеристику результата на единицу, сдвигаем мантиссу вправо и переходим к п.5

4.2. Если получился 0, то обнуляем характеристику и переходим к п.5

4.3. Если исключительных ситуаций не возникло переходим к п5

5. Выдать результат

6. Закончить операцию

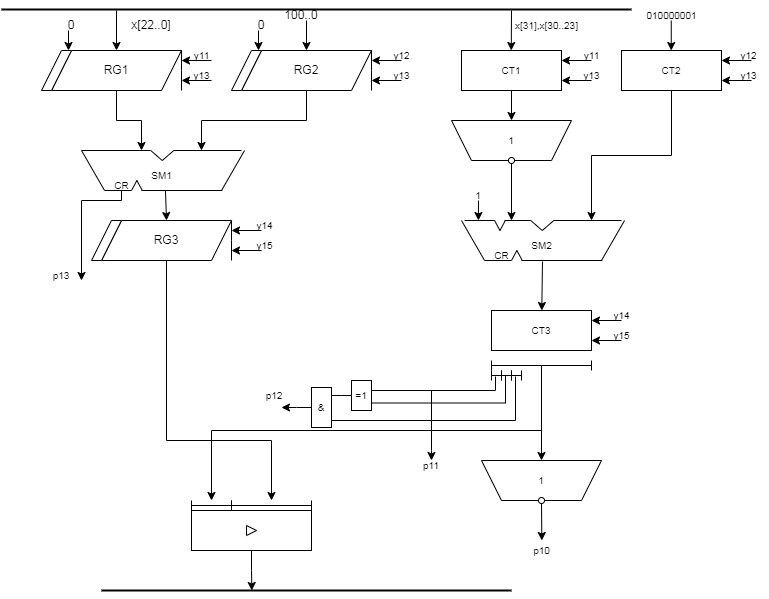


Рисунок 5 – Функциональная схема алгоритма инкремента

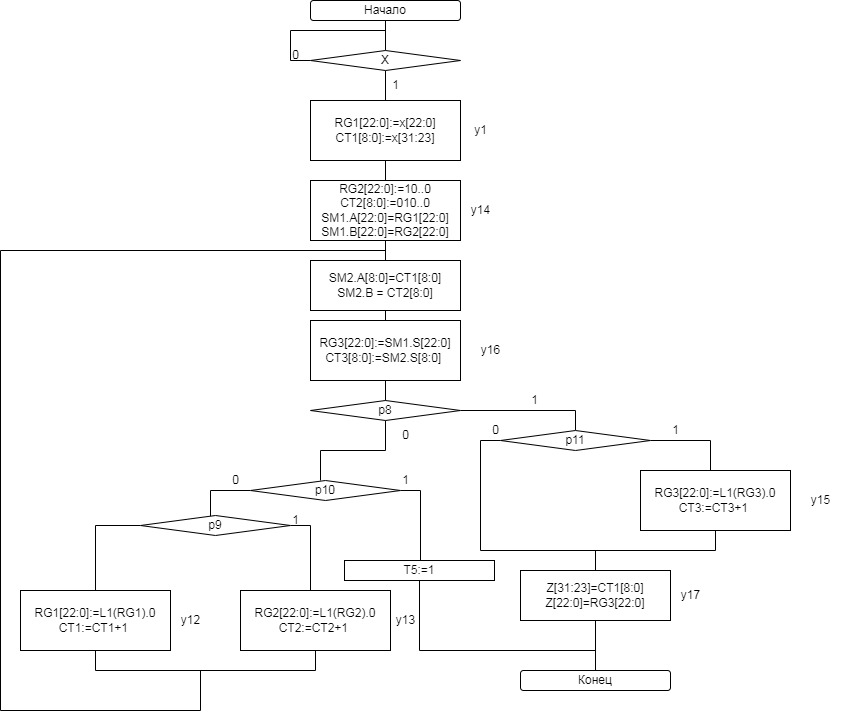


Рисунок 6 – Содержательная ГСА инкремента

y1 – запись в RG1 и CT1

y14 – запись в RG4 и CT3

y16 – запись в RG2 и CT4

y12 – сдвиг RG1 влево и CT1+1

y13 - сдвиг RG4 влево и CT3+1

y15 - сдвиг RG2 влево и CT4+1

X – проверка наличия операнда на входной шине;

Р8 – ноль в результирующей мантиссе;

P9 – мантисса - знак;

P10 – ПРС;

p11 – временное ПРС;

Z – проверка возможности выдачи результата на выходную шину.

3.4. Объединенная схема

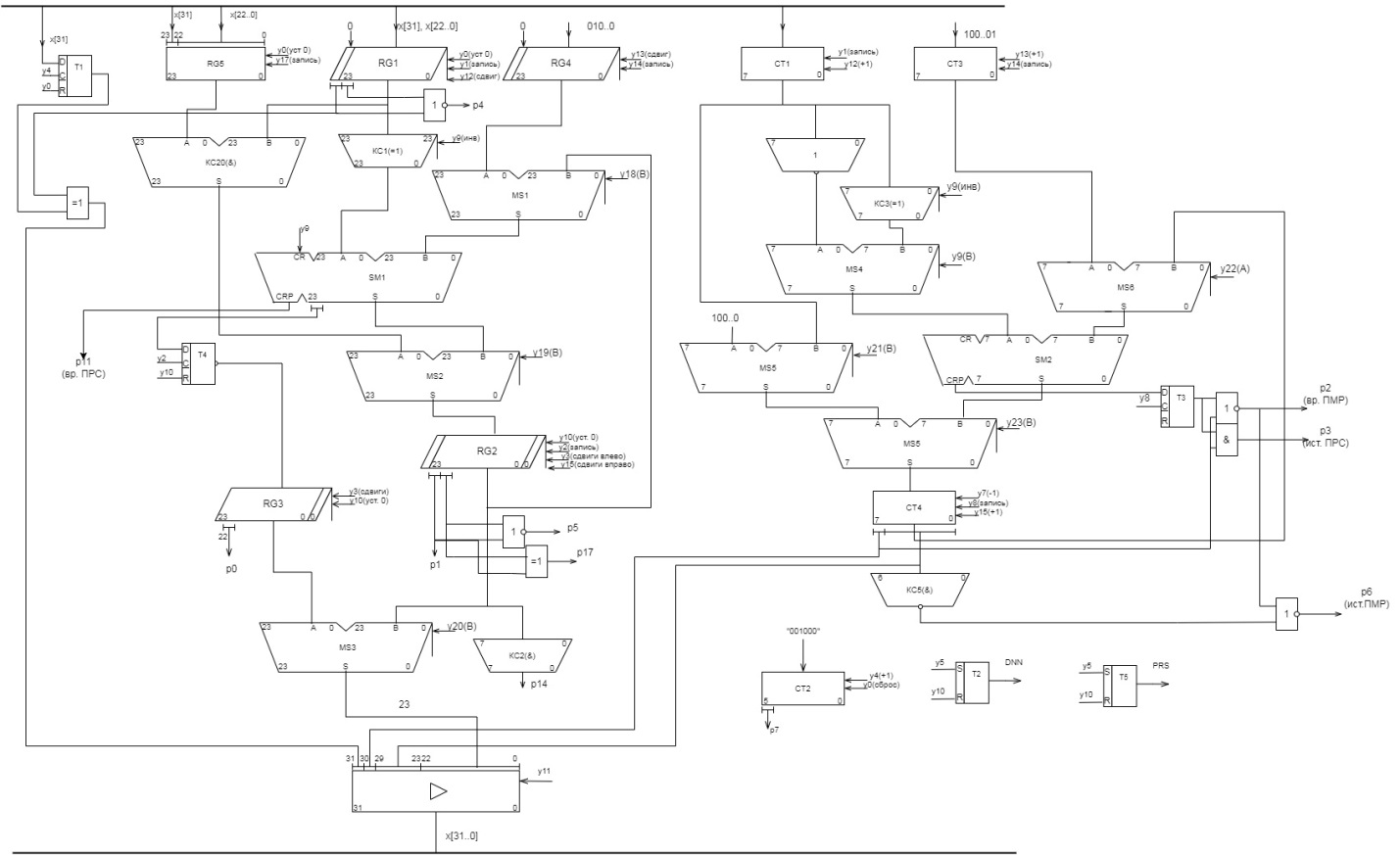


Рисунок 7 – Схема объединенного операционного автомата

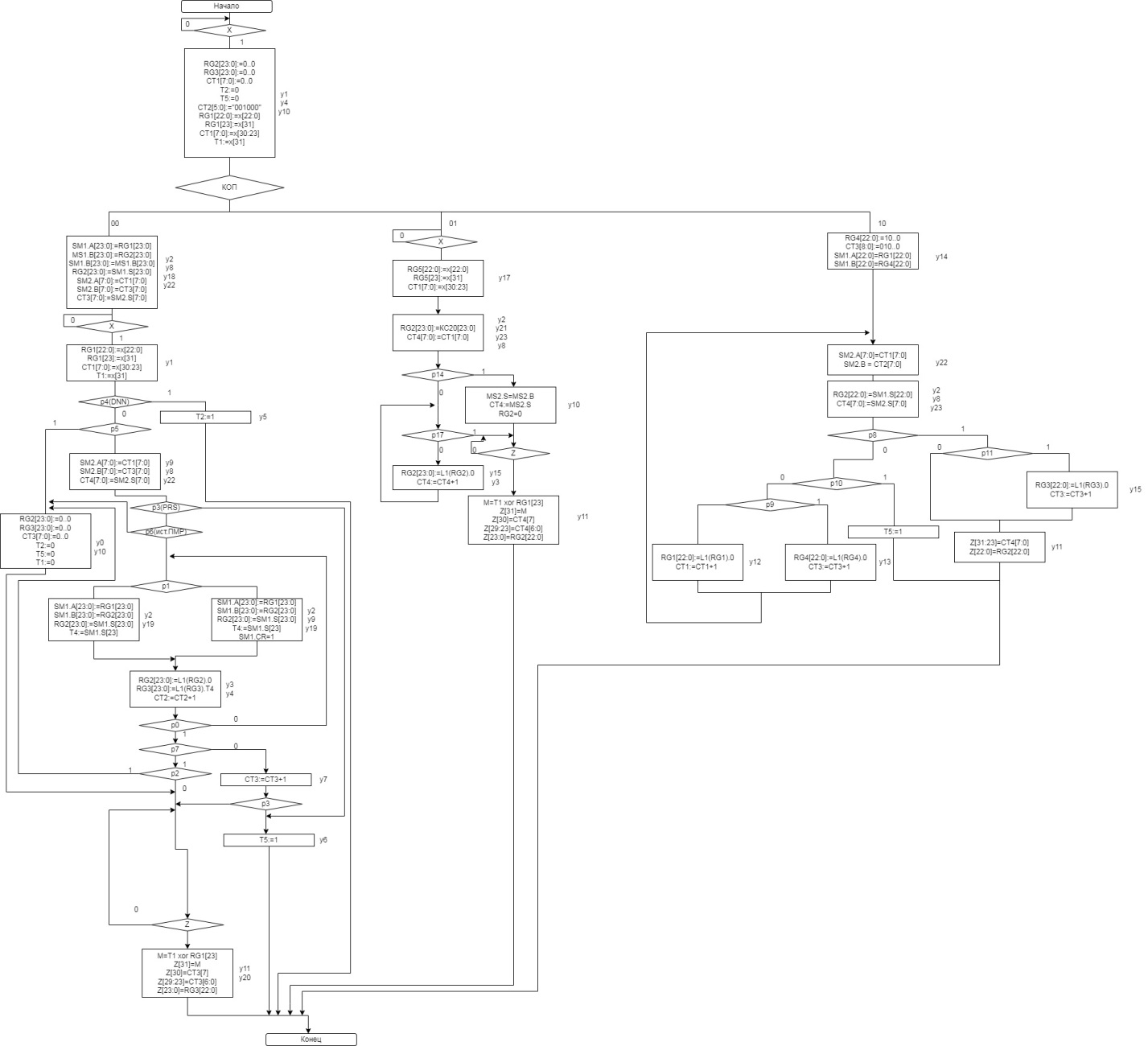


Рисунок 8 – Содержательная ГСА объединенной схемы

y0 – сброс RG1, CT2, T1;

y1 – запись в RG1 и в RG4;

y2 – запись результата сложения (вычитания) в RG2 и состояния делимого в T4;

у3 – сдвиг RG2 и RG3 влево RG2:=L1(RG2);

у4 – запись знака делимого в T1 и инкремент CT2;

y5 – установка в единицу триггера T2 (ДНН);

y6 – установка в единицу триггера T5 (ПРС);

y7 – увеличение счетчика СТ1 на единицу;

y8 – запись в счетчик СТ1, запись единицы переноса в T3

y9 – управление схемой сложения по модулю 2;

y10 – сброс Т2, Т4, Т5 , CT1 и установление RG2 и RG3 в «0»;

y6 –запись в RG4;

y7 – сдвиг влево на один разряд RG4, CT2=CT2+1;

y8 – запись результата в RG4;

y10 –установление RG4 в «0»;

y11 – выдача результата.

y14 – запись в RG4 и CT3

y16 – запись в RG2 и CT4

y12 – сдвиг RG1 влево и CT1+1

y13 - сдвиг RG4 влево и CT3+1

y15 - сдвиг RG2 влево и CT4+1

X – проверка наличия операнда на входной шине;

р0 – окончание цикла деления;

p1 – знак мантиссы делимого;

p2 – признак вр. ПМР в характеристиках;

p3 – признак ист. ПРС в характеристиках;

p4 – делитель равен нулю;

p5 – делимое равно нулю;

p6 – истинная ПМР;

p7 – отслеживание 24-го такта деления;

Р8 – ноль в результирующей мантиссе;

P9 – мантисса - знак;

P10 – ПРС;

p11 – временное ПРС;

Р14 – ноль в результирующей мантиссе;

p17 – мантисса не нормализована;

Z – проверка возможности выдачи результата на выходную шину.

4. Экранные формы

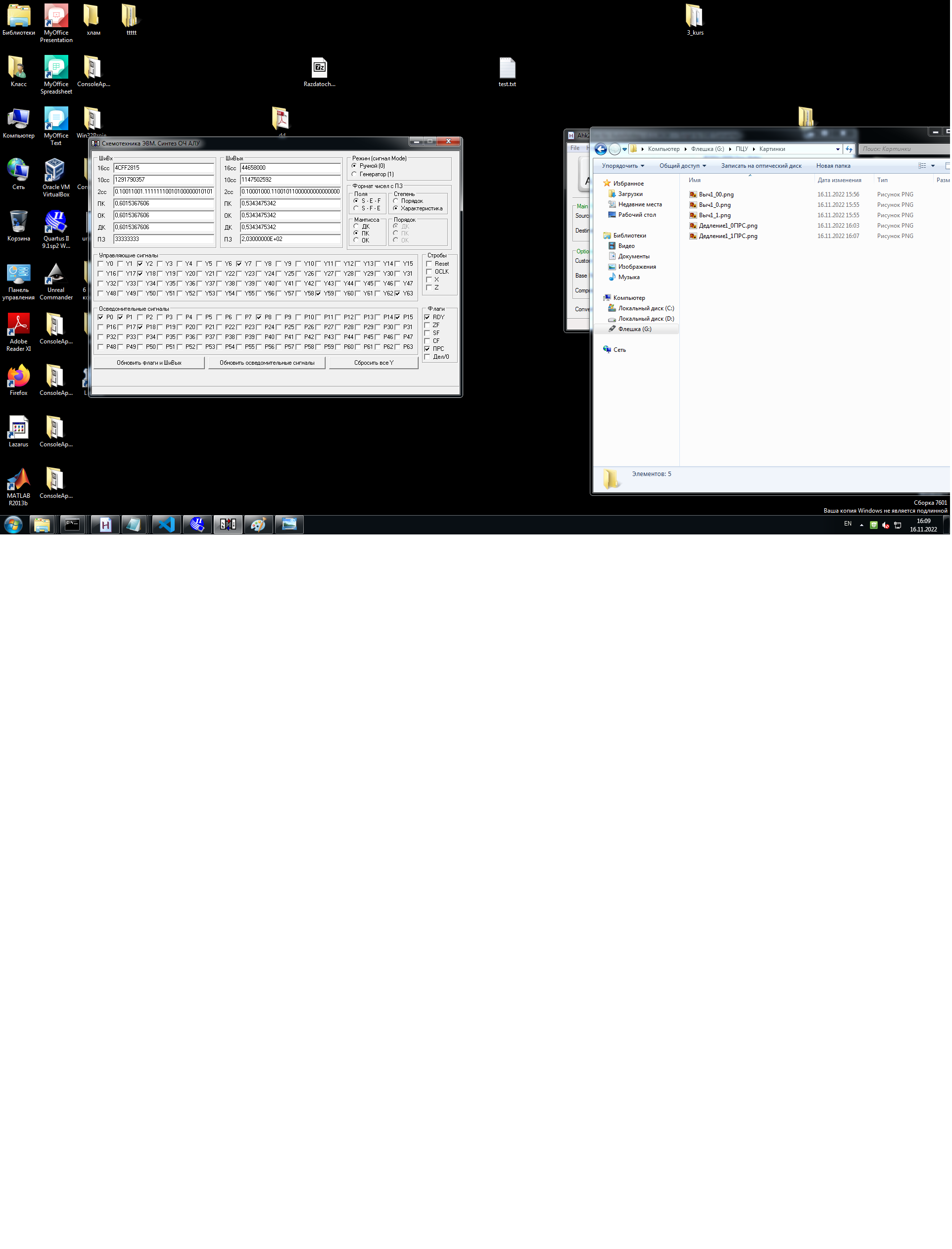


Рисунок 9 – ПРС в результате деления

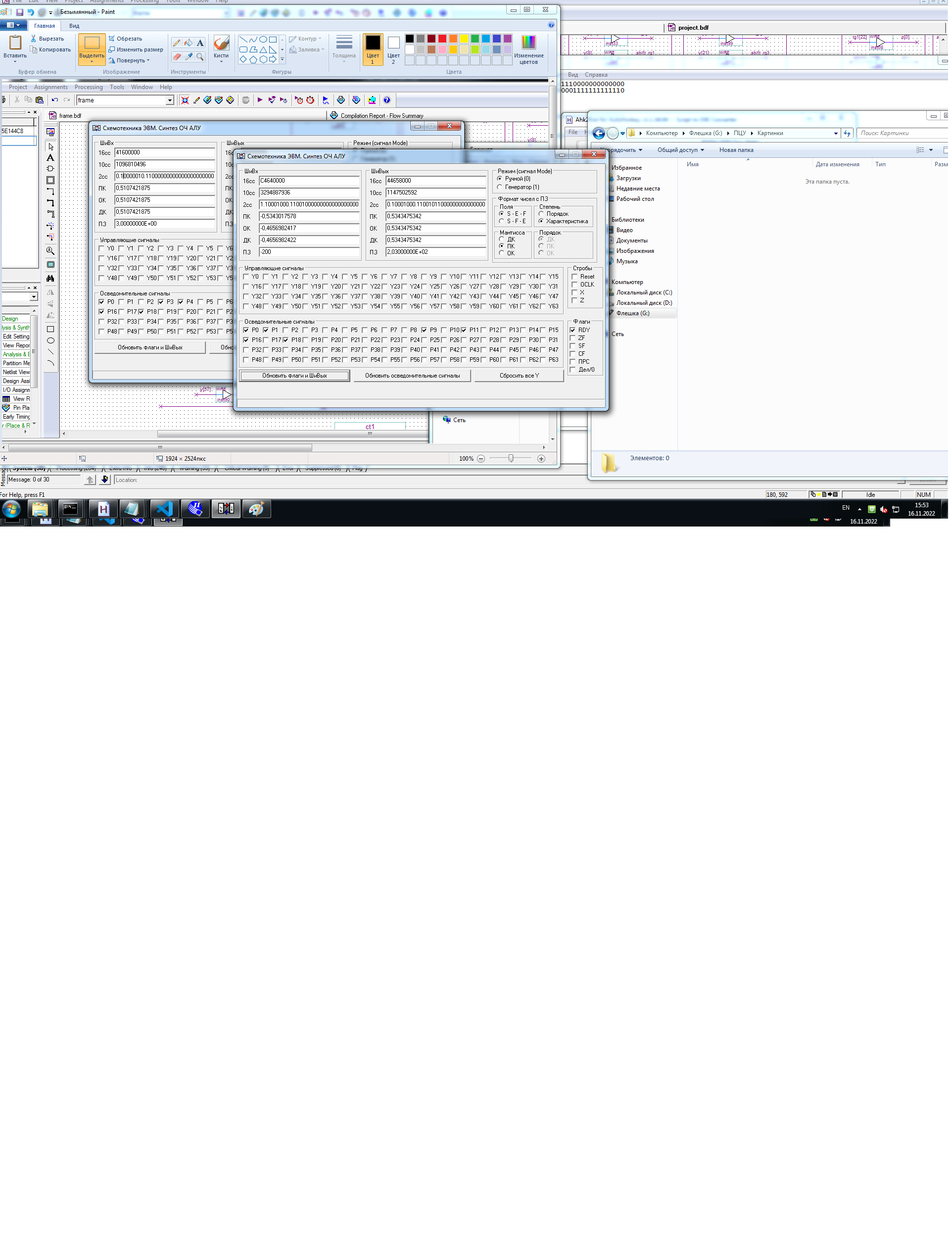


Рисунок 10 – Результат инкремента

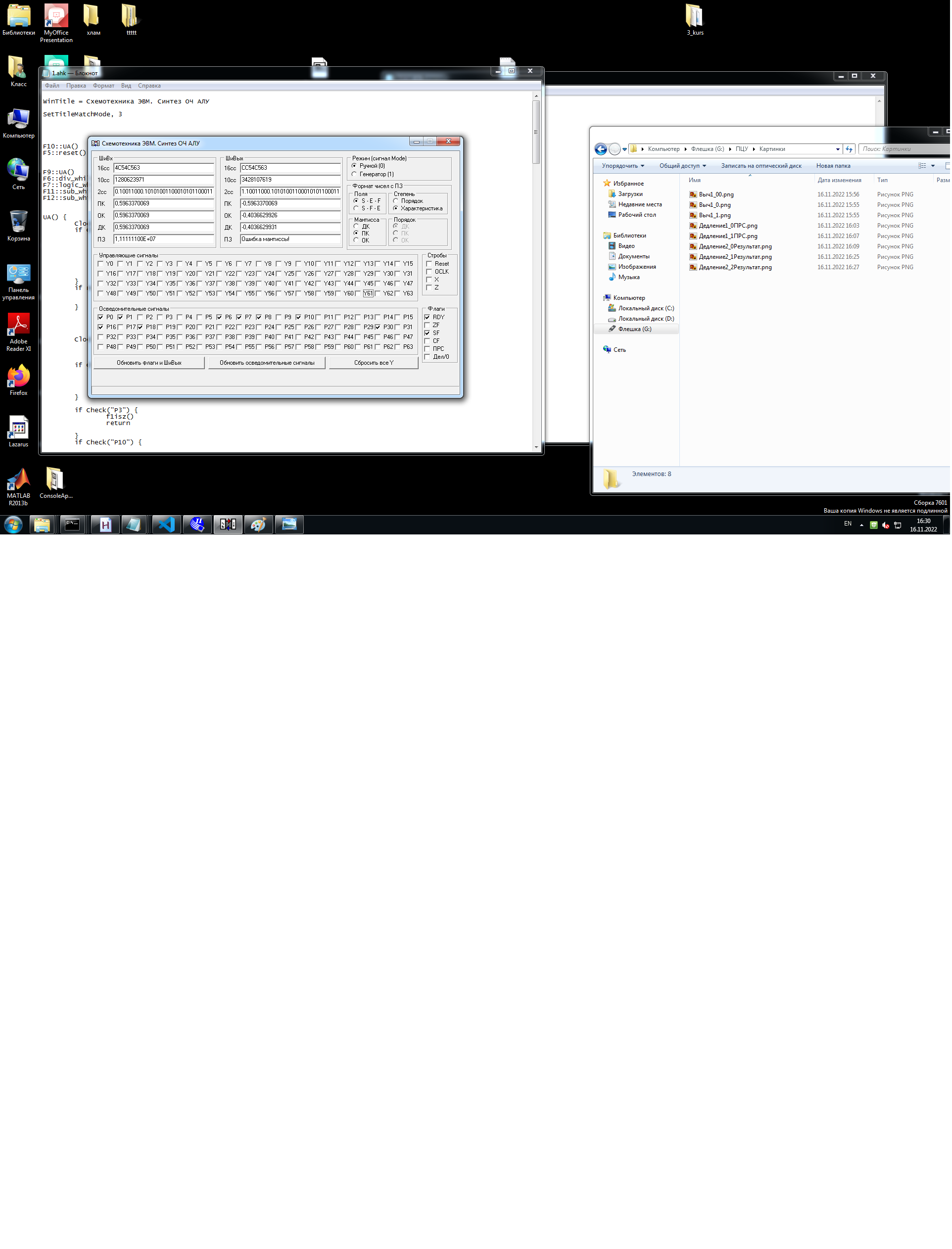


Рисунок 11-Результат логического И

5. Вывод

В ходе выполнения лабораторной работы были изучены основы проектирования цифровых арифметико-логических устройств ЭВМ, разработано и протестировано АЛУ для выполнения операции деления, определения результата инкремента и логического И.